

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-176941

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H01L 21/82  
G06F 17/50

(21)Application number : 09-345120 (71)Applicant : NEC CORP

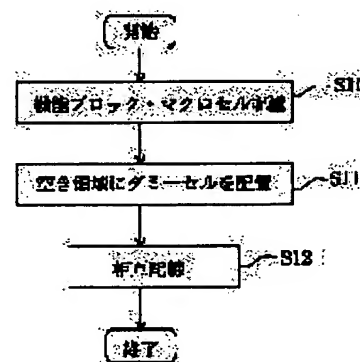
(22)Date of filing : 15.12.1997 (72)Inventor : OSONO KATSUHIRO  
NUKADA YASUAKI

## (54) SEMICONDUCTOR DEVICE, LAYOUT DESIGN METHOD AND SYSTEM THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable a wiring data rate to be set easily at a proper value.

**SOLUTION:** In a semiconductor device layout design method, where functional blocks or macrocells are arranged and mutually wired in a permitted region, a step 11 in which dummy cells are arranged in vacant regions where the functional blocks or the macrocells are not arranged is provided following a step 10 where the functional blocks or macrocells are arranged, so that the number of arranged dummy cells is set for putting a wiring data rate which indicates the area ratio of a wiring part in a prescribed range (e.g., 20 to 50%).



## LEGAL STATUS

[Date of request for examination] 15.12.1997

[Date of sending the examiner's decision of rejection] 05.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 V

特開平11-176941

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

W

G 0 6 F 17/50

G 0 6 F 15/60

6 5 8 A

審査請求 有 請求項の数10 O L (全 9 頁)

(21) 出願番号

特願平9-345120

(22) 出願日

平成9年(1997)12月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大園 勝博

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 額田 泰明

東京都港区芝五丁目7番1号 日本電気株式会社内

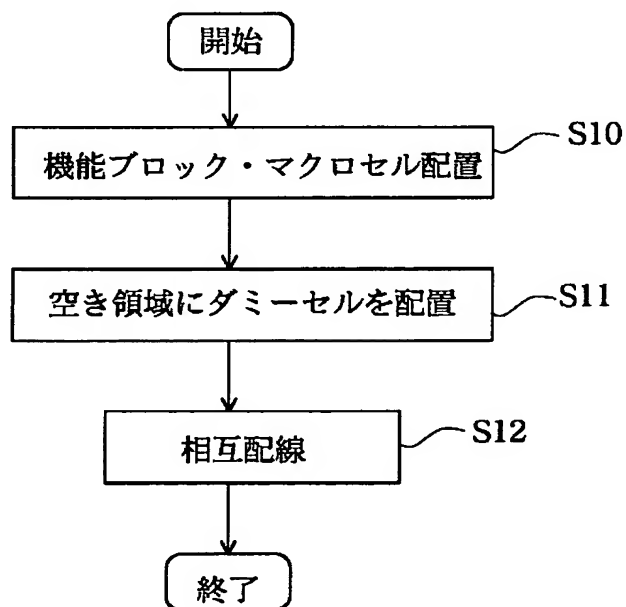
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 半導体装置のレイアウト設計方法およびレイアウト設計システムならびに半導体装置

(57) 【要約】

【課題】 配線データ率を容易に適正な値（例えば、20%～50%の範囲）に設定することができるようにする。

【解決手段】 複数の機能ブロックあるいはマクロセルを配置して許された領域内で相互に配線を行う半導体装置のレイアウト設計方法において、機能ブロックあるいはマクロセルを配置した（ステップS10）後に、機能ブロックあるいはマクロセルの配置されていない空き領域にダミーセルを配置する工程（ステップS11）を含み、ダミーセルの配置数を、配線部分の面積の割合である配線データ率が所定の範囲（例えば、20%～50%の範囲）に収まるように設定する。



## 【特許請求の範囲】

【請求項 1】 複数の機能ブロックあるいはマクロセルを配置して許された領域内で相互に配線を行う半導体装置のレイアウト設計方法において、

前記機能ブロックあるいはマクロセルを配置した後に、機能ブロックあるいはマクロセルの配置されていない空き領域にダミーセルを配置する工程を含み、前記ダミーセルの配置数を、配線部分の面積の割合である配線データ率が所定の範囲に収まるように設定することを特徴とする半導体装置のレイアウト設計方法。

【請求項 2】 請求項 1 に記載の半導体装置のレイアウト設計方法において、

前記ダミーセルの配置数を、配線部分の面積の割合を示す配線データ率が 20%～50%になるように設定することを特徴とする半導体装置のレイアウト設計方法。

【請求項 3】 請求項 1 に記載の半導体装置のレイアウト設計方法において、 複数の機能ブロックあるいはマクロセルが配置された後に、機能ブロックおよびマクロセルが配置されていない空き領域を検出する第 1 の工程と、

前記第 1 の工程にて検出された空き領域における配置可能なダミーセル数を算出する第 2 の工程と、

前記第 2 の工程で算出されたダミーセル数に基づいて、前記第 1 の工程で検出された空き領域にダミーセルを配置する第 3 の工程と、を含むことを特徴とする半導体装置のレイアウト設計方法。

【請求項 4】 複数の機能ブロックあるいはマクロセルを配置して許された領域内で相互に配線を行う配置・配線処理手段を有する半導体装置のレイアウト設計システムであって、

前記配置・配線処理手段は、

機能ブロックあるいはマクロセルの配置を行う機能ブロック・マクロセル配置手段と、

前記機能ブロック・マクロセル配置手段による機能ブロックあるいはマクロセルの配置の後に、機能ブロックあるいはマクロセルが配置されていない空き領域を検出する空き領域検出手段と、

前記空き領域検出手段によって検出された空き領域における、配置可能なダミーセル数を算出するダミーセル数算出手段と、

前記ダミーセル数算出手段によって算出されたダミーセル数に基づいて、前記空き領域検出手段によって検出された空き領域にダミーセルを配置するダミーセル配置手段と、

前記ダミーセル配置手段によるダミーセルの配置の後、前記機能ブロック・マクロセル配置手段によって配置された機能ブロックあるいはマクロセルを相互に接続する相互配線手段とを有することを特徴とする半導体装置のレイアウト設計システム。

【請求項 5】 請求項 1 乃至請求項 3 のいずれかに記載

の半導体装置のレイアウト設計方法を用いて作製された半導体装置であって、

ダミーセルが、

半導体基板上に選択的に形成された N 型ウェル領域および P 型ウェル領域にそれぞれ P チャネル MOS トランジスタおよび N チャネル MOS トランジスタを形成してなる少なくとも 1 つの単位セルと、

前記単位セルの P チャネル MOS トランジスタおよび N チャネル MOS トランジスタ上にそれぞれ設けられた第 1 および第 2 のアルミ配線と、から構成され、

前記第 1 のアルミ配線が前記 N 型ウェル領域とコンタクトが取られ、前記第 2 のアルミ配線が前記 P 型ウェル領域とコンタクトが取られていることを特徴とする半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置において、前記ダミーセルは、前記単位セルを複数有し、前記第 1 および第 2 のアルミ配線が前記複数の単位セルのうちの 1 つの単位セルにのみ形成されていることを特徴とする請求項 1 記載の半導体装置のレイアウト方法。

【請求項 7】 請求項 1 乃至請求項 3 のいずれかに記載の半導体装置のレイアウト設計方法を用いて作製された半導体装置であって、

ダミーセルが、

半導体基板上に選択的に形成された N 型ウェル領域および P 型ウェル領域にそれぞれ P チャネル MOS トランジスタおよび N チャネル MOS トランジスタを形成してなる少なくとも 1 つの単位セルと、

前記単位セルの N チャネル MOS トランジスタ上に設けられ、前記 P 型ウェル領域とコンタクトが取られたアルミ配線と、から構成されたことを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の半導体装置において、前記ダミーセルは、前記単位セルを複数有し、前記アルミ配線が前記複数の単位セルのうちの 1 つの単位セルにのみ形成されていることを特徴とする半導体装置。

【請求項 9】 請求項 1 乃至請求項 3 のいずれかに記載の半導体装置のレイアウト設計方法を用いて作製された半導体装置であって、

ダミーセルが、

半導体基板上に選択的に形成された N 型ウェル領域および P 型ウェル領域にそれぞれ P チャネル MOS トランジスタおよび N チャネル MOS トランジスタを形成してなる少なくとも 1 つの単位セルと、

前記単位セルの P チャネル MOS トランジスタ上に設けられ、前記 N 型ウェル領域とコンタクトが取られたアルミ配線と、から構成されたことを特徴とする半導体装置。

【請求項 10】 請求項 9 に記載の半導体装置において、

前記ダミーセルは、前記単位セルを複数有し、前記アル

ミ配線が前記複数の単位セルのうちの1つの単位セルにのみ形成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置のレイアウト設計方法に関し、特に宇宙搭載機器用ゲートアレイなどの半導体集積回路のレイアウト設計方法に関する。さらには、そのレイアウト設計方法が適用されるレイアウト設計システム、半導体装置に関する。

【0002】

【従来の技術】汎用（市販）のゲートアレイでは、ゲート規模の異なる数種類のマスターを準備しておき、使用するゲート規模に応じてマスターを選択することにより、小規模から大規模まで対応している。

【0003】一方、宇宙搭載機器部品として使用されるゲートアレイの場合は、高信頼度を有することが必要になるため、製品の製造ロットごとに品質保証をしている。通常は、複数の製品（コード）とMTEG（Master Test Element-Group）とを同時に製造し、MTEGについて品質確認試験を実施することにより、製造ロットごとの品質を保証している。この品質確認試験では、MTEGと製品は同じゲート規模のマスターでないと品質保証をすることができないため、宇宙搭載機器用のゲートアレイでは、一番大きなゲート規模のマスターのみを準備し、これを用いて品質保証をしている。ここで、マスターを1つしか準備しない理由は、宇宙搭載機器用ゲートアレイの市場が少ないため、多くのマスターを準備するとコストが高くなるためである。

【0004】上記のようにゲート規模の1番大きなマスターを用いてゲート規模の小さなものまで対応をとるものにおいては、実使用ゲートの少ない製品（コード）の場合に、配線データ率（配線部分の面積の割合）が低くなり、場合によっては、配線データ率が20%を下回ることもある。配線データ率が20%を下回る場合、配線を形成する際に、エッチングする部分（配線以外の部分）が大きくなるため、エッチングの際のローディング効果が顕著になり、配線間に残さ（エッチング残り）が発生してしまう。この残さは、場合によっては配線がショートするなどの不具合が発生する。

【0005】配線のデータ率を高くする技術としては、例えば、特開平7-153844号公報に開示されているようなダミー配線を設ける手法がある。この手法は、図8に示すように、自動配置配線が終了した後、疎な配線202に対して、その近傍の使用されていない仮想グリッド201にダミー配線パターン203、204を発生させるものである。このダミー配線は、電源またはグランド電位に固定する必要がある。

【0006】上記の他、特開平05-275531号公報に開示されているように、空いている配線グリッドのすべてにダミー配線を配置する手法もある。この手法に

よれば、50%を超える配線データ率を得られるとともに、層間膜の平坦化を図ることができる。

【0007】

【発明が解決しようとする課題】上述したように、宇宙搭載機器用ゲートアレイなど、ゲート規模の1番大きなマスターを用いてゲート規模の小さなものまで対応をとるものにおいては、実使用ゲートの少ない製品（コード）の場合に、配線データ率が20%を下回ることがあり、その場合には、エッチングの際のローディング効果が顕著になって、配線間に残さが生じるという問題が発生する。他方、ダミー配線などを追加することにより配線データ率を高くすることができるが、配線データ率が50%以上になると、配線がオーバエッチングされてしまうといった問題が発生する。そのため、適正な配線データ率（例えば、20%～50%）を得られるレイアウト設計技術の開発が1つの課題となっていた。

【0008】上述の特開平07-153844号公報の手法を用いる場合においては、隣接するダミー配線を配置し、配線間容量を大きくすることにより各配線容量を同一にしているため、配線間容量が増大するという問題点がある。

【0009】また、特開平05-275531号公報の手法を用いる場合においては、平坦性向上のためにダミー配線をグリッドに敷き詰めるため、配線データ率が50%を越え、配線のオーバエッチにより不具合が発生するという問題点がある。

【0010】本発明の目的は、配線データ率を容易に適正な値（例えば、20%～50%の範囲）に設定することができる半導体装置のレイアウト設計方法およびレイアウト設計システムを提供することにある。

【0011】本発明のさらなる目的は、ダミーセルを置くことにより配線データ率を適正な値に設定できるとともに、配線間容量を大きくならないようにすることができる半導体装置のレイアウト設計方法およびレイアウト設計システム、ならびそのレイアウト設計方法を用いて作製された半導体装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明のレイアウト設計方法は、複数の機能ブロックあるいはマクロセルを配置して許された領域内で相互に配線を行う半導体装置のレイアウト設計方法において、前記機能ブロックあるいはマクロセルを配置した後に、機能ブロックあるいはマクロセルの配置されていない空き領域にダミーセルを配置する工程を含み、前記ダミーセルの配置数を、配線部分の面積の割合である配線データ率が所定の範囲に収まるように設定することを特徴とする。

【0013】上記の場合、前記ダミーセルの配置数を、配線部分の面積の割合を示す配線データ率が20%～50%になるように設定することが望ましい。

10

20

30

40

50

【0014】また、上記の設計方法は、複数の機能ブロックあるいはマクロセルが配置された後に、機能ブロックおよびマクロセルが配置されていない空き領域を検出する第1の工程と、前記第1の工程にて検出された空き領域における配置可能なダミーセル数を算出する第2の工程と、前記第2の工程で算出されたダミーセル数に基づいて、前記第1の工程で検出された空き領域にダミーセルを配置する第3の工程と、を含むようにしてもよい。

【0015】本発明のレイアウト設計システムは、複数の機能ブロックあるいはマクロセルを配置して許された領域内で相互に配線を行う配置・配線処理手段を有する半導体装置のレイアウト設計システムであって、前記配置・配線処理手段は、機能ブロックあるいはマクロセルの配置を行う機能ブロック・マクロセル配置手段と、前記機能ブロック・マクロセル配置手段による機能ブロックあるいはマクロセルの配置の後に、機能ブロックあるいはマクロセルが配置されていない空き領域を検出する空き領域検出手段と、前記空き領域検出手段によって検出された空き領域における、配置可能なダミーセル数を算出するダミーセル数算出手段と、前記ダミーセル数算出手段によって算出されたダミーセル数に基づいて、前記空き領域検出手段によって検出された空き領域にダミーセルを配置するダミーセル配置手段と、前記ダミーセル配置手段によるダミーセルの配置の後、前記機能ブロック・マクロセル配置手段によって配置された機能ブロックあるいはマクロセルを相互に接続する相互配線手段とを有することを特徴とする。

【0016】本発明の第1の半導体装置は、ダミーセルが、半導体基板上に選択的に形成されたN型ウェル領域およびP型ウェル領域にそれぞれPチャネルMOSトランジスタおよびNチャネルMOSトランジスタを形成してなる少なくとも1つの単位セルと、前記単位セルのPチャネルMOSトランジスタおよびNチャネルMOSトランジスタ上にそれぞれ設けられた第1および第2のアルミ配線と、から構成され、前記第1のアルミ配線が前記N型ウェル領域とコンタクトが取られ、前記第2のアルミ配線が前記P型ウェル領域とコンタクトが取られていることを特徴とする。

【0017】上記の場合、前記ダミーセルは、前記単位セルを複数有し、前記第1および第2のアルミ配線が前記複数の単位セルのうちの1つの単位セルにのみ形成されるようにしてもよい。

【0018】また、本発明の第2の半導体装置は、ダミーセルが、半導体基板上に選択的に形成されたN型ウェル領域およびP型ウェル領域にそれぞれPチャネルMOSトランジスタおよびNチャネルMOSトランジスタを形成してなる少なくとも1つの単位セルと、前記単位セルのNチャネルMOSトランジスタ上に設けられ、前記P型ウェル領域とコンタクトが取られたアルミ配線と、

から構成されたことを特徴とする。

【0019】上記の場合、前記ダミーセルは、前記単位セルを複数有し、前記アルミ配線が前記複数の単位セルのうちの1つの単位セルにのみ形成されるようにしてもよい。

【0020】また、本発明の第3の半導体装置は、ダミーセルが、半導体基板上に選択的に形成されたN型ウェル領域およびP型ウェル領域にそれぞれPチャネルMOSトランジスタおよびNチャネルMOSトランジスタを形成してなる少なくとも1つの単位セルと、前記単位セルのPチャネルMOSトランジスタ上に設けられ、前記N型ウェル領域とコンタクトが取られたアルミ配線と、から構成されたことを特徴とする。

【0021】上記の場合、前記ダミーセルは、前記単位セルを複数有し、前記アルミ配線が前記複数の単位セルのうちの1つの単位セルにのみ形成されるようにしてもよい。

（作用）上記のとおりの本発明においては、設けられたダミーセルの内部配線（アルミ配線）の分だけ配線データ率が高くなる。したがって、配線データ率が20%を下回る場合でも、ダミーセルを配置することによって、配線データ率を20%以上にまで高くすることができる。このように、本発明では、配線データ率が適正な範囲（例えば、20%～50%）になるようにダミーセルが配置されるので、従来のように、エッチングの際のローディング効果による配線間の残さの問題や配線のオーバエッチングの問題が発生することはない。

【0022】また、本発明では、ダミーセルは、機能ブロックあるいはマクロセルの配置されていない空き領域に配置するので、上層配線と下層配線との重なりによる配線間容量は発生しない。加えて、隣接する配線との間の配線容量については、前述した特開平7-153844号公報の手法のように最小配線ピッチで配置されることは極めて少ないので、配線間容量が増大することも少ない。

【0023】また、本発明の半導体装置では、ダミーセルのアルミ配線は、PチャネルMOSトランジスタ上のアルミ配線の場合、N型ウェル領域とコンタクトが取られ、NチャネルMOSトランジスタ上のアルミ配線の場合、P型ウェル領域とコンタクトが取られる。よって、ダミー配線（アルミ配線）の電位を固定することができ、従来のようなダミー配線の電位をとらない（フローティング）構成において発生するノイズを防止することが可能である。

【0024】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0025】図1は本発明の半導体装置のレイアウト設計方法の基本手順を示すフローチャートで、図2(a)～(c)は図1に示す各手順における配置・配線を模式的に示すレイアウト図である。

【0026】このレイアウト設計方法では、まず、図2 (a) に示すように、半導体装置の機能を実現するのに必要な複数のマクロセル1 a、1 bおよび機能ブロック2 a～2 dを配置する(ステップS10)。ここで、マクロセルおよび機能ブロックは、前もってライブラリに登録してあるものとする。次いで、図2 (b) に示すように、前もって準備してある(ライブラリに登録してある)ダミーセル3を、ステップ10において機能ブロックおよびマクロセルが配置されなかった空き領域に配置する(ステップS11)。その後、図2 (c) に示すように、配置された機能ブロックおよびマクロセルについて相互に配線を行う(ステップS12)。この相互配線は、ダミーセルの内部配線(ダミー配線)であいた部分があれば、その部分を通して配線を容易に引くことができる。

【0027】以下、上述のステップS11で配置されるダミーセルの構造について具体的に説明する。図3は、本発明のレイアウト設計方法に適用されるダミーセルの一構成例を示す図で、(a) はパターンの一例、(b) は(a) のD-D' 断面図、(c) は(a) のE-E' 断面図である。

【0028】図3 (a) に示すダミーセルは、PチャネルMOSトランジスタ部31とNチャネルMOSトランジスタ部32が隣接して配置され、さらにその両側にトランスファークゲート用NチャネルMOSトランジスタ部33が隣接して配置された構成になっている。

【0029】PチャネルMOSトランジスタ部31は、図3 (b) に示すように、P型基板11上に選択的に形成されたN型ウェル12の領域に形成されている。N型ウェル12の領域には、フィールド酸化膜19によって分離された領域にPチャネルMOSトランジスタ素子としてP型拡散層15、ゲート電極18、さらには1層目のアルミ配線21(ダミーセルの内部配線)とN型ウェル12とのコンタクトをとるためN型ウェルコンタクト16が形成されている。この図3 (b) では、フィールド酸化膜19によって分離された領域に2つのPチャネルMOSトランジスタが形成されている。

【0030】NチャネルMOSトランジスタ部32は、図3 (c) に示すように、P型基板11上に選択的に形成されたP型ウェル13の領域に形成されている。P型ウェル13の領域は、フィールド酸化膜19によって分離された領域にNチャネルMOSトランジスタ素子としてN型拡散層14、ゲート電極18、さらには1層目のアルミ配線21(ダミーセルの内部配線)とP型ウェル13とのコンタクトをとるためP型ウェルコンタクト17が形成されている。この図3 (c) では、フィールド酸化膜19によって分離された領域に2つのNチャネルMOSトランジスタが形成されている。

【0031】トランスファークゲート用NチャネルMOSトランジスタ部33は、上記のNチャネルMOSトラン

ジスタ部32と同様の構成になっている。

【0032】本ダミーセルを構成する単位セル34は、PチャネルMOSトランジスタ部31のN型ウェル12の領域に形成された2つのPチャネルMOSトランジスタと、NチャネルMOSトランジスタ部32のP型ウェル13の領域に形成された2つのNチャネルMOSトランジスタと、これらトランジスタ部31、32の両側に隣接して形成されたトランスファークゲート用NチャネルMOSトランジスタ部33の4つのトランスファークゲート用NチャネルMOSトランジスタからなっている。図3 (a) では、この単位セル34が線対称に横方向に展開された構成になっている。

【0033】アルミ配線21は、ダミー配線として設けられた1層目のアルミ配線で、PチャネルMOSトランジスタ部31とNチャネルMOSトランジスタ部32の上にそれぞれ配置されている。PチャネルMOSトランジスタ部31上のアルミ配線21は、N型ウェルコンタクト16を介してN型ウェル12に接続されており、電源電位(VDD)が与えられる。NチャネルMOSトランジスタ部32上のアルミ配線21は、P型ウェルコンタクト17を介してP型ウェル13に接続されており、グランド電位が与えられる。

【0034】次に、上述したダミーセルの製造方法を、工程順に従い説明する。まず、P型基板11(例えば、不純物濃度： $1 \times 10^{15} \text{ cm}^{-3}$ )を準備し、選択的にN型ウェル12とP型ウェル13を形成する。N型ウェル12の領域には、PチャネルMOSトランジスタ部31が、P型ウェル13の領域には、NチャネルMOSトランジスタ部32とトランスファークゲート用NチャネルMOSトランジスタ部33が最終的に形成される。

【0035】次いで、LOCOS法により、N型拡散層14、P型拡散層15、N型ウェルコンタクト16、P型ウェルコンタクト17を形成する部分以外に、選択的にフィールド酸化膜19(例えば厚さ450nm)を形成する。そして、NチャネルMOSトランジスタのしきい値電圧制御とPチャネルMOSトランジスタのしきい値電圧制御のための、ボロンイオン注入を行う。この工程は、特に順番は関係ない。

【0036】最後に、ゲート電極18(ゲートポリサイド)を形成して、N型拡散層14とN型ウェルコンタクト16とを形成するため砒素(あるいはリン)およびP型拡散層15とP型ウェルコンタクト17とを形成するためボロン(あるいはフッ化ボロン)をイオン注入する。

【0037】前述の図1の手順のステップ11で行われるダミーセルの配置では、上述した単位セル34を1単位として、あるいは図3 (a) に示すように線対称に展開された2つの単位セル34を1単位として、機能ブロックあるいはマクロセルが配置されていない空き領域に所定の数だけ線対称に展開する。具体的には、機能プロ

ックあるいはマクロセルが配置されていない空き領域を検出し、その検出された空き領域に配置可能な単位セル34の数を算出し、その算出された数に応じて単位セル34を上下左右に線対称に展開する。

【0038】なお、ダミーセルを配置したことにより相互配線の自由度を損なうことが考えられるが、通常、ゲートアレイの1アルミ配線は横方向にのみ配線が引き回されることから、本発明では、ダミーセルのアルミ配線を横方向に行うようになっている。よって、相互配線の自由度を損なうことはない。

【0039】（ダミーセルの他の実施形態）次に、本発明のレイアウト設計方法に適用可能なダミーセルの他の実施形態について説明する。

【0040】図4は、本発明のレイアウト設計方法に適用可能なダミーセルの第2の実施形態を説明するための図である。図4において、ダミー配線としての1層目のアルミ配線21は、PチャネルMOSトランジスタ部31上のみに配置されており、N型ウェルコンタクト16でN型ウェル12に接続され、与えられる。同じように、アルミ配線21をNチャネルMOSトランジスタ部32上のみに配置し、P型ウェルコンタクト17でP型ウェル13に接続し、グランド電位が与えられる構成とする事も可能である。

【0041】図5は、本発明のレイアウト設計方法に適用可能なダミーセルの第3の実施形態を説明するための図である。図5において、ダミー配線としての1層目のアルミ配線21は、ダミーセルの単位をゲートアレイを構成する単位セル2つで構成し、その1方の単位セルのみに配置されている。このダミー配線21は、PチャネルMOSトランジスタ部31とNチャネルMOSトランジスタ部32の上にそれぞれ配置されている。PチャネルMOSトランジスタ部31上のアルミ配線21は、N型ウェルコンタクト16でN型ウェル13に接続され、電源電位が与えられる。NチャネルMOSトランジスタ部32上のアルミ配線21は、P型ウェルコンタクト17でP型ウェル13に接続され、グランド電位（VD）が与えられる。

【0042】図6は、本発明のレイアウト設計方法に適用可能なダミーセルの第4の実施形態を説明するための図である。図6において、ダミー配線としての1層目のアルミ配線21は、ダミーセルの単位をゲートアレイを構成する単位セル2つで構成し、その1方の単位セルのみに配置されている。このダミー配線21は、PチャネルMOSトランジスタ部31上のみに配置されており、N型ウェルコンタクト16でN型ウェル12に接続され、電源電位が与えられる。同じように、アルミ配線21をNチャネルMOSトランジスタ部32上のみに配置し、P型ウェルコンタクト17でP型ウェル13に接続し、グランド電位が与えられる構成とする事も可能である。

（レイアウト設計システムの実施形態）図7は、本発明のレイアウト設計システムの一実施形態を示すブロック図である。このレイアウト設計システムは、配置される機能ブロックおよびマクロセルの接続情報が用意されたネットリスト100と、機能ブロック、マクロセル、ダミーセルに関する論理や電気的特性などの情報が登録されたライブラリ101と、これらネットリスト100およびライブラリ101の情報に基づいて機能ブロック、マクロセル、ダミーセルを配置して、機能ブロックおよびマクロセルを相互に接続する配置・配線処理部102と、その配置・配線処理結果を出力する出力部103から構成されている。ネットリスト100およびライブラリ101には、ユーザ側から与えられる製品（コード）に応じて予め情報が用意される。

【0043】配置・配線処理部102は、機能ブロックおよびマクロセルの配置を行う機能ブロック・マクロセル配置部110と、その機能ブロックおよびマクロセルの配置の後に、機能ブロックおよびマクロセルが配置されていない空き領域を検出する空き領域検出部111と、その検出された空き領域における、配置可能なダミーセル数を算出するダミーセル数算出部112と、その算出されたダミーセル数に基づいて空き領域にダミーセルを配置するダミーセル配置部113と、機能ブロックおよびマクロセルを相互に接続する相互配線部114とを有する。

【0044】このレイアウト設計システムでは、複数の機能ブロックあるいはマクロセルが配置された後、機能ブロックおよびマクロセルが配置されていない空き領域が検出され、その空き領域における配置可能なダミーセル数が算出される。そして、その算出されたダミーセル数に基づいて空き領域にダミーセルが配置された後、機能ブロックあるいはマクロセルについて相互配線が行われる。このようにして配置されたダミーセルは、その内部配線（図3（a）に示すアルミ配線21）が配線データ率に寄与することになるので、ダミーセルの配置数を調整することによって適正な配線データ率（具体的には、20%～50%）を得ることができる。

#### 【0045】

【発明の効果】以上説明したように、本発明によれば、機能ブロックあるいはマクロセルの配置されていない領域にダミーセルを配置するだけで配線データ率を調整できるので、配線データ率を適正な範囲（例えば、20%～50%）に容易に設定することができる。これにより、配線間の残さや配線のオーバエッチングを防止することができ、半導体装置の信頼性が向上するとともに製造時の歩留まりも向上する。

【0046】また、本発明では、ダミーセルの配置による配線間容量の増大は生じないので、従来よりも配線間容量を少なくすることができる。

【0047】さらに、ダミーセルのアルミ配線は電位が

固定されるので、従来のフローティング構造のものよりもノイズに強い。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置のレイアウト設計方法の基本手順を示すフローチャート図である。

【図2】(a)～(c)は図1に示す各手順における配置・配線を模式的に示すレイアウト図である。

【図3】本発明のレイアウト設計方法に適用されるダミーセルの一構成例を示す図で、(a)はパターンの一  
例、(b)は(a)のD-D'断面図、(c)は(a)のE-E'断面図である。

【図4】本発明のレイアウト設計方法に適用可能なダミーセルの第2の実施形態を説明するための図である。

【図5】本発明のレイアウト設計方法に適用可能なダミーセルの第3の実施形態を説明するための図である。

【図6】本発明のレイアウト設計方法に適用可能なダミーセルの第4の実施形態を説明するための図である。

【図7】本発明のレイアウト設計システムの一実施形態を示すブロック図である。

【図8】特開平7-153844号公報に開示されている半導体集積回路のチップ表面の平面図である。

#### 【符号の説明】

1 a, 1 b マクロセル

2 a～2 d 機能ブロック

3 ダミーセル

4 配線

11 P型基板

12 N型ウェル

13 P型ウェル

14 N型拡散層

15 P型拡散層

16 N型ウェルコンタクト

17 P型ウェルコンタクト

18 ゲート電極

19 フィールド酸化膜

21 アルミ配線

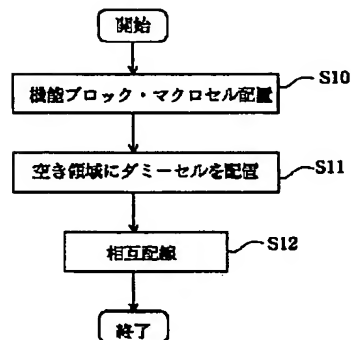
31 PチャネルMOSトランジスタ部

32 NチャネルMOSトランジスタ部

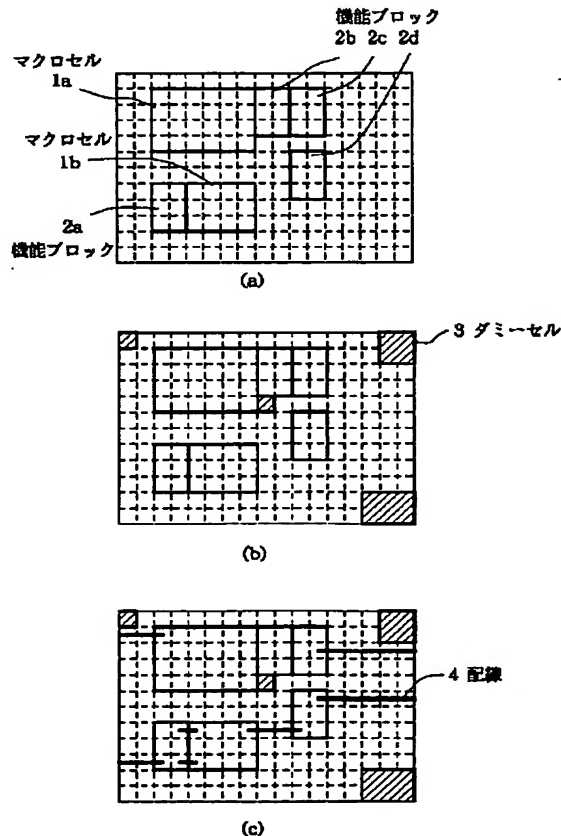
33 トランスファークロゲート用NチャネルMOSトランジスタ部

34 単位セル

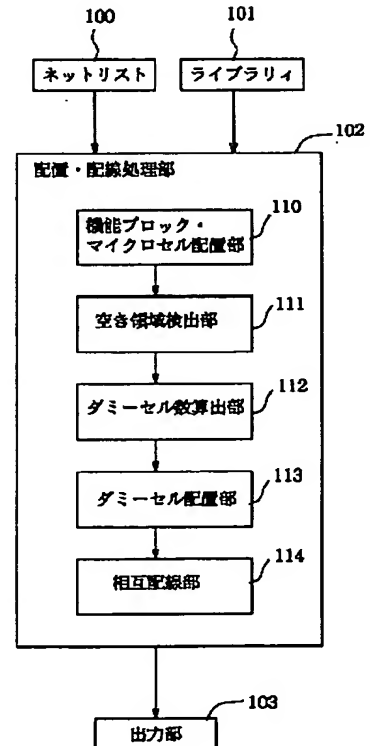
【図1】



【図2】

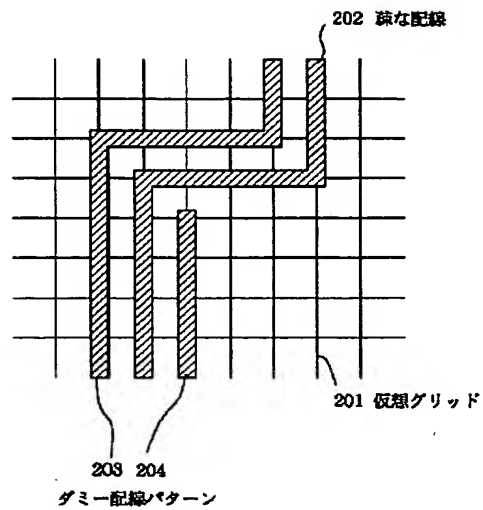


【図7】





【図8】



## 【手続補正書】

【提出日】平成9年12月16日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】半導体装置のレイアウト設計方法およびレイアウト設計システムならびに半導体装置